

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : LIU
Application No. : 10/736,520
Filed : December 17, 2003
Title : HIGH-FREQUENCY MULTI-SELECTION
PRESCALER
Group Art Unit : 2817
Examiner : Unknown
Attorney Docket : 3244-15

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant hereby claims priority from Taiwan Patent Application No. 092126245, filed on September 23, 2003. A certified copy of this application is enclosed.

Acknowledgment of the receipt of the claim to priority, along with the certified copy of the priority document is respectfully requested.

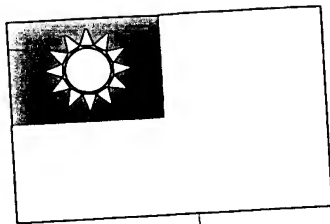
Respectfully submitted,

Date: April 9, 2004

By: 

Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 23 日
Application Date

申請案號：092126245
Application No.

申請人：揚智科技股份有限公司
Applicant(s)

SN 10-736,520

filed 12-17-2003

Atty 3244-15 局

長

Director General

蔡練生

發文日期：西元 2004 年 1 月 6 日
Issue Date

發文字號：09320017670
Serial No.

申請日期：

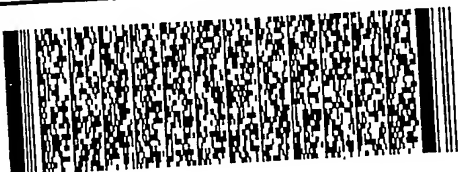
IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

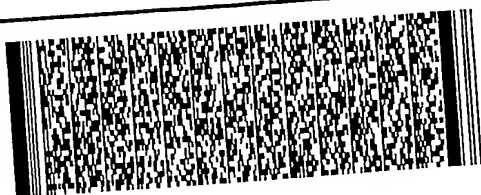
一、 發明名稱	中文	高頻多樣選擇性預除器
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 劉鳳銘 2. 陳正維
	姓名 (英文)	1. 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北市內湖區內湖路1段246號2樓 2. 台北市內湖區內湖路1段246號2樓
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 揚智科技股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北市內湖區內湖路1段246號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 呂理達
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：高頻多樣選擇性預除器)

一種高頻多樣選擇性預除器，可將輸入訊號依照使用者所須之除頻比例加以除頻，得到使用者所預期的除頻頻率。其電路由複數個邏輯閘及複數個 D 型正反器 (D-flip-flop) 所組成，係包括有：第一除頻器，其接受一輸入訊號後，經由除頻處理，形成一除頻頻率之除頻器；第二除頻器，連接至該第一除頻器，並且經由複數個選擇訊號與複數個及閘 (AND) 作為選擇開關，將第一除頻器之除頻結果再進一步除頻，為一可擴充選擇除頻頻率之電路；模組控制器 (module control)，其用以將複數個選擇訊號與一外部控制訊號 (MC) 經由或閘 (OR) 執行邏輯運算後連接至第一級除頻器，更進一步地控制第一除頻器之除頻頻率；輸出選擇電路，連接至第二除頻器，並搭配複數個選擇訊號做為選擇訊號輸出之裝置。此高頻多樣選擇性預除器，係能提供多樣化的除頻頻率，讓使用者能有效地控制整體電路之除頻功能，達成降低製作成本之目標。

五、英文發明摘要 (發明名稱：)

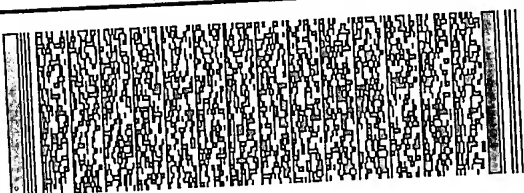


六、指定代表圖

(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

50 第一除頻器	502 第一正反器
504 第二正反器	506 第三正反器
508 第一及閘	510 第二及閘
512 第三及閘	52 第二除頻器
522 第四正反器	524 第五正反器
525 第四及閘	526 第六正反器
527 第五及閘	528 第七正反器
529 第六及閘	530 第八正反器
531 第七及閘	533 第八及閘
535 第九及閘	54 模組控制器
542 第一或閘	544 外部控制訊號 (MC)
56 輸出選擇電路	560 第二或閘
562 第十及閘	564 第十一及閘
566 第十二及閘	568 第十三及閘



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種高頻多樣選擇性預除器 (Multi-selection prescaler)，藉由此預除器，可讓使用者能更有效地控制整體電路之除頻比例，得到使用者所預期的除頻頻率。

【先前技術】

爾來，由於電子科技的進步、通訊技術的發達，所應用在高頻電路的技術更是日新月異，然，高頻訊號必需搭配上各種除頻電路的變化使用才可成為一頻率合成器 (frequency synthesizer)，因此除頻器如今被人們廣泛的使用在高頻電路之中；尤其現今電腦、通訊設備及電子儀器等產品不斷推陳出新，更加使得除頻器成為高頻電路裡不可或缺的一項種要技術。

有關除頻電路之技術及使用，早已行之有年，並且也已經非常廣泛地運用在高頻電路之中，一般而言，預除器大多只能設計成固定模式的除頻比例；誠如第一 A 圖所示，其為美國專利第 6,462,595 號專利案中之運用預除器的習知技術；於該第一 A 圖之習知技術中，揭露高頻電路使用固定的除頻比例 64/65 (divide-by-64/65)，如第一 B 圖所示，因此無法選擇其他的除頻比例，換句話說，此預除器並沒有提供使用者彈性的除頻比例。

經由上述之習知技術說明可知，目前預除器所使用之技術並不能提供使用者選擇多樣化的除頻頻率，若是想要有別於 64/65 的除頻比例，則必須花費更多的時間來重新

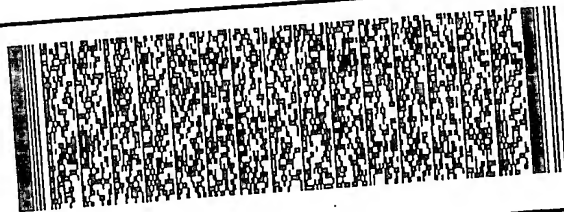
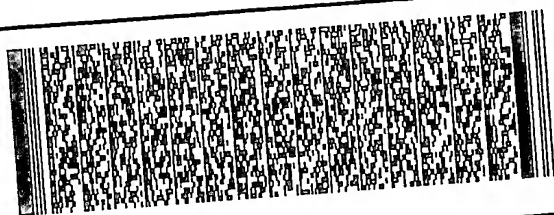
五、發明說明 (2)

設計預除器中之電路，並且也需要再一次的製造新設計之除頻器，使得成本因而提高。緣此，本發明人有感於上述缺失之尚可改善，終於提出一種簡易且低成本之解決方法及裝置，可提供彈性化的除頻比例並運用於預除器之技術中，使得後續預除器不需依照每種除頻比例的不同而重新製造，如此一來，預除器之除頻比例不但具有彈性，且能有效地降低製作成本。

【發明內容】

本發明係一種能提供彈性化的除頻比例之高頻多樣選擇性預除器，其不僅可以簡易之電路來控制其除頻比例，亦可達到所預期的除頻頻率；藉由多位元的選擇訊號，利用其訊號之不同的高低位準，加以控制預除器中的除數比例。

緣是，本發明人所提供之高頻多樣選擇性預除器，係利用可變的除頻比例來達到使用者所須之除頻頻率，因此本發明之主要目的在於能提供一組可擴充選擇除頻頻率之電路，藉由多位元的選擇訊號作為選擇開關，進而能有效控制整體除頻電路中的除頻比例。為了達成上述之目的，本發明所述之高頻多樣選擇性預除器係包括有：第一除頻器，其接受一輸入訊號後，經由除頻處理，形成一除頻頻率之除頻器；第二除頻器，連接至該第一除頻器，並且經由複數個選擇訊號與複數個及閘 (AND) 作為選擇開關，將第一除頻器之除頻結果再進一步除頻，為一可擴充選擇除頻頻率之電路；模組控制器 (module control)，其用以



五、發明說明 (3)

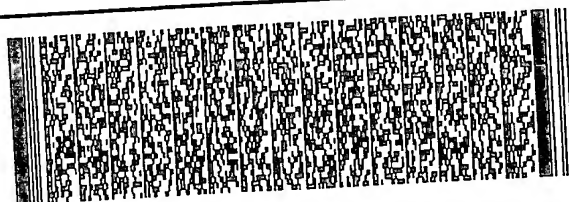
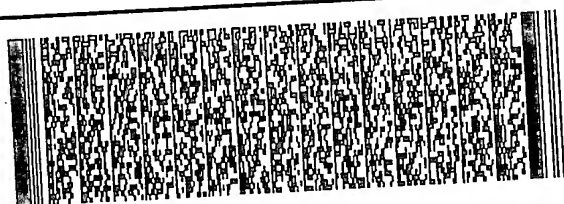
將複數個選擇訊號與一外部控制訊號 (MC) 經由或閘 (OR) 執行邏輯運算後連接至第一級除頻器，更進一步地控制第一除頻器之除頻頻率；輸出選擇電路，連接至第二除頻器，並搭配複數個選擇訊號做為選擇訊號輸出之裝置。藉此，可達到使用者所預期的除頻頻率且能達成降地製作成本之目標。

為了使貴審查委員能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，然所附圖示僅提供參考與說明用，並非用來對本發明加以限制者。

【實施方法】

請參考第二圖，第二圖為本發明高頻多樣性選擇預除器之實施例電路圖。本發明之輸入訊號，首先經過之第一除頻器 50 係由第一正反器 502、第二正反器 504 及第三正反器 506 連接而成，其中第一正反器 502 連接第二正反器 504 器 506 連接而成，其中第一正反器 502 連接第二正反器 504 型成一除四之除頻器，另第三正反器 506 之反向輸出與第二正反器 504 之反向輸出經由第一及閘 508 連接而執行邏輯 AND 運算，如此搭配第三正反器 506 可使第一除頻器 50 成為一除 5 之除頻器，對於整體預除器之除數比例為一奇數值 (其進一步說明於後再詳細敘述)。

如上述所示，第一除頻器 50 之輸出訊號連接至第二除頻器 52，當訊號每經過一 D 型正反器，則頻率值會再被除以 2，亦即當訊號經過第四正反器 522 及第五正反器 524 時，其輸入訊號已被除以 16 (其中假設第三正反器 506 並無動

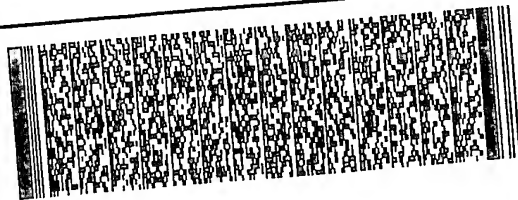
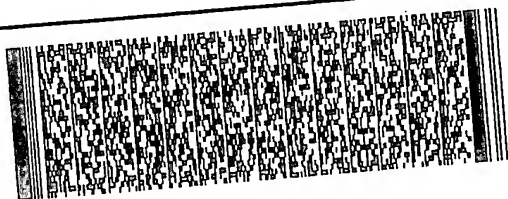


五、發明說明 (4)

作)且第五正反器 524 之 Q 點輸出電位為 1，亦即 w 點之電位為 1 且處於高電位狀態，在此之後訊號進入 3 位元之選擇開關。

煩請參閱第三圖並請配合第二圖，當外加之第一選擇訊號 a、第二選擇訊號 b、第三選擇訊號 c 之電位為 0 並處於低電位狀態時，第四及閘 525、第五及閘 527、第六及閘 529 經由邏輯 AND 運算後輸出皆為低電位狀態，造成第六正反器 526、第七正反器 528、第八正反器 530 皆無動作，因此，w 點之高電位經由連接電路傳送至輸出選擇電路 56 之中第十及閘 562 後和第一反向選擇訊號、第二反向選擇訊號、第三反向選擇訊號執行邏輯 AND 運算後輸出一除頻 16 之訊號再經由第二或閘 560 執行邏輯 OR 運算並得到此預除器之輸出訊號 (fout) 頻率為輸入訊號頻率的 16 分之 1，達到除頻 16 之功能，誠如第三 A 圖所示。

同理，當外加之第一選擇訊號 a 之電位為 1 並處於高電位狀態，第二選擇訊號 b、第三選擇訊號 c 之電位為 0 並處於低電位狀態時，第五及閘 527、第六及閘 529 經由邏輯 AND 運算後輸出皆為低電位狀態，造成第七正反器 528、第八正反器 530 無動作，但第四及閘 525 將 w 點與第一選擇訊號 a 之高電位經由邏輯 AND 運算後輸出為高電位狀態，造成第六正反器 526 有動作且其 Q 點輸出電位為 1，亦即 x 點之電位為 1 並處於高電位狀態，此時已進一步的將輸入訊號除以 32，其後第七及閘 531 將 x 點與第一選擇訊號 a 之高電位經由邏輯 AND 運算後輸出為高電位狀態並經由連接電路傳

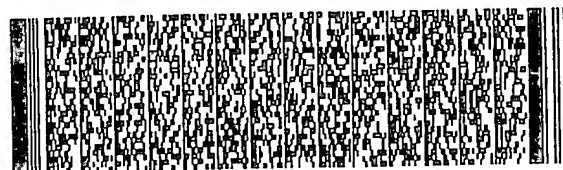
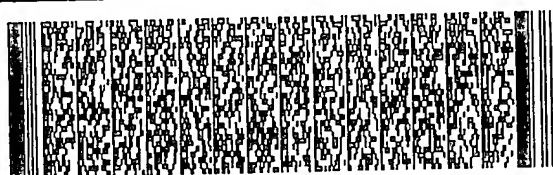


五、發明說明 (5)

送至輸出選擇電路 56 之中第十一及閘 564，和第一選擇訊號 a、第二反向選擇訊號、第三反向選擇訊號執行邏輯 AND 運算後輸出一除頻 32 之訊號再與第十及閘 562 之輸出 (於前述所提) 經由第二或閘 560 執行邏輯 OR 運算後，得到此預除器之輸出訊號頻率為輸入訊號頻率的 32 分之 1，達到除頻 32 之功能，誠如第三 B 圖所示。

當外加之第一選擇訊號 a、第二選擇訊號 b 之電位為 1 並處於高電位狀態 (於上述可知此時第六正反器 526 有動作且 x 點電位為 1)，第三選擇訊號 c 之電位為 0 並處於低電位狀態時，第六及閘 529 經由邏輯 AND 運算後輸出為低電位狀態，造成第八正反器 530 無動作但第五及閘 527 將 x 點與第二選擇訊號 b 之高電位經由邏輯 AND 運算後輸出為高電位狀態，造成第七正反器 528 有動作且其 Q 點輸出電位為 1，亦即 y 點之電位為 1 並處於高電位狀態，此時已進一步的將輸入訊號除以 64，其後第八及閘 533 將 y 點與第二選擇訊號 b 之高電位經由邏輯 AND 運算後輸出為高電位狀態並經由連接電路傳送至輸出選擇電路 56 之中第十二及閘 566，和第一選擇訊號 a、第二選擇訊號 b、第三反向選擇訊號執行邏輯 AND 運算後輸出一除頻 64 之訊號再與第十及閘 562 及第十一及閘 564 之輸出 (於前述所提) 經由第二或閘 560 執行邏輯 OR 運算後，得到此預除器之輸出訊號頻率為輸入訊號頻率的 64 分之 1，達到除頻 64 之功能，誠如第三 C 圖所示。

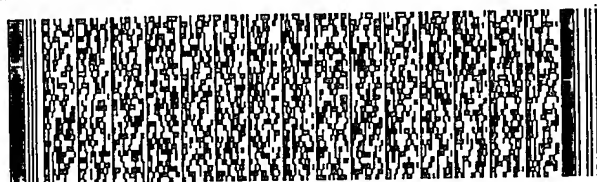
當外加之第一選擇訊號 a、第二選擇訊號 b、第三選擇訊號 c 之電位為 1 並處於高電位狀態時 (於上述可知此時第



五、發明說明 (6)

六正反器 526、第七正反器 528有動作且 y 點電位為 1)，第六及閘 529將 y 點與第三選擇訊號 c 之高電位經由邏輯 AND 運算後輸出為高電位狀態，造成第八正反器 530有動作且其 Q 點輸出電位為 1，亦即 z 點之電位為 1 並處於高電位狀態，此時已進一步的將輸入訊號除以 128，其後第九及閘 535將 z 點與第三選擇訊號 c 之高電位經由邏輯 AND 運算後輸出為高電位狀態並經由連接電路傳送至輸出選擇電路 56 之中第十三及閘 568，和第一選擇訊號 a、第二選擇訊號 b、第三選擇訊號 c 執行邏輯 AND 運算後輸出一除頻 128 之訊號再與第十及閘 562、第十一及閘 564 及第十二及閘 564 之輸出經由第二或閘 560 執行邏輯 OR 運算後，得到此預除器之輸出訊號頻率為輸入訊號頻率的 128 分之 1，達到除頻 128 之功能，誠如第三 D 圖所示。

煩請參考第四圖之真值表，模組控制器 54(module control)之中一外部控制訊號 544(MC)係用以控制高頻多樣選擇性預除器之輸出訊號是否將除以一奇數值；該外部控制訊號 544(MC)之訊號反向後並且與第十及閘 562、第十一及閘 564、第十二及閘 564 及第十三及閘 568 之輸入訊號經由第一或閘 542 執行邏輯 OR 運算後再連接至第二、第三及閘 510、512 接至第三正反器 506 之輸入端並藉此控制第三正反器 506 之動作，當外部控制訊號 544(MC)之電位為 0 並處於低電位狀態時，第三正反器 506 無動作且第一除頻器 50 為一除四之除頻器，高頻多樣選擇性預除器之輸出訊號將除以一偶數值；反之，當外部控制訊號 544(MC)之電

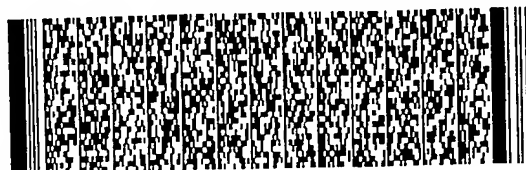
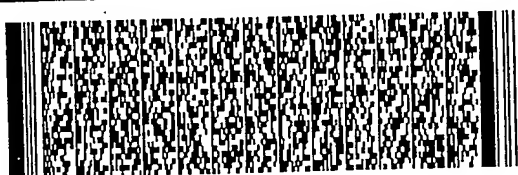


五、發明說明 (7)

位為 1 並處於高電位狀態時，第三正反器 506 有動作且第一除頻器 50 為一除五之除頻器，高頻多樣選擇性預除器之輸出訊號將除以一奇數值。

綜上所述，本發明之高頻多樣性選擇預除器裝置及方法可以擴充預除器之除頻比例，達成多樣性之除頻頻率，且以簡易之邏輯電路即可完成，並能克服習知電路所需之時間設計、修改的成本耗費，又其申請前未現於刊物或公開使用，誠以符合發明專利之要件，爰依法提出發明專利申請。

惟，以上所述，僅為本發明最佳之一的具體實施例之詳細說明與圖式，凡合於本發明申請專利範圍之精神與其類似變化之實施例，皆應包含於本創作之範疇中，任何熟悉該項技藝者在本發明之領域內，可輕易思及之變化或修飾皆可涵蓋在以下本案之專利範圍。



圖式簡單說明

第一 A圖係為習用技術之美國專利第 6, 462, 595號專利案中主要電路示意圖；

第一 B圖係為習用技術之美國專利第 6, 462, 595號專利案中主要電路之真值表；

第二圖係為本發明實施例之主要電路方塊與元件之連接示意圖；

第三 A圖係為本發明實施例之選擇訊號與除頻十六分之一對應之輸出波型示意圖；

第三 B圖係為本發明實施例之選擇訊號與除頻三十二分之一對應之輸出波型示意圖；

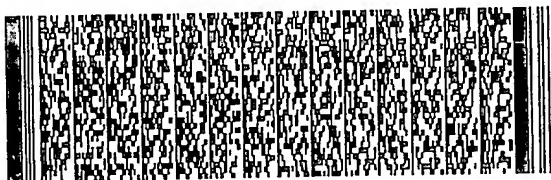
第三 C圖係為本發明實施例之選擇訊號與除頻六十四分之一對應之輸出波型示意圖；

第三 D圖係為本發明實施例之選擇訊號與除頻一百二十八分之一對應之輸出波型示意圖；

第四圖係為本發明實施例之真值表示意圖。

【圖式中之參考號數】

- 50 第一除頻器
- 502 第一正反器
- 504 第二正反器
- 506 第三正反器
- 508 第一及閘
- 510 第二及閘
- 512 第三及閘
- 52 第二除頻器



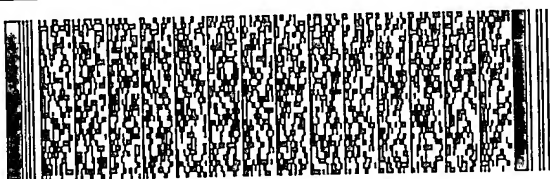
圖式簡單說明

522 第四正反器
524 第五正反器
525 第四及閘
526 第六正反器
527 第五及閘
528 第七正反器
529 第六及閘
530 第八正反器
531 第七及閘
533 第八及閘
535 第九及閘
54 模組控制器
542 第一或閘
544 外部控制訊號 MC
56 輸出選擇電路
560 第二或閘
562 第十及閘
564 第十一及閘
566 第十二及閘
568 第十三及閘
fout 輸出訊號



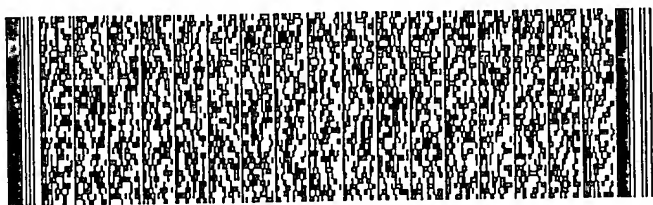
六、申請專利範圍

1. 一種高頻多樣選擇性預除器 (Multi-selection prescaler)，可適用於高頻之除頻電路，係包括有：
 - 一第一除頻器，其接受一輸入訊號後，經由除頻處理，形成一除頻頻率之除頻器；
 - 一第二除頻器，連接至該第一除頻器，並且經由複數個選擇訊號與複數個及閘 (AND) 作為選擇開關，可將該第一除頻器之除頻結果再進一步除頻；
 - 一模組控制器 (module control)，將該複數個選擇訊號與一外部控制訊號 (MC) 經由至少一或閘 (OR) 執行邏輯運算後連接至該第一級除頻器，以控制該第一除頻器之除頻頻率；
 - 一輸出選擇電路，連接至該第二除頻器，並搭配該複數個選擇訊號做為選擇訊號輸出之電路；及藉此，經由該第一除頻器與第二除頻器之連結，配合該模組控制器之控制，形成一可擴充選擇除頻頻率之電路，以提供多樣化的除頻頻率。
2. 如申請專利範圍第 1 項所述之高頻多樣選擇性預除器，其中該第一除頻器，由複數個 D 型正反器 (D-flip-flop) 及複數個及閘 (AND) 所組成。
3. 如申請專利範圍第 1 項所述之高頻多樣選擇性預除器，其中該第二除頻器係由複數個 D 型正反器及複數個及閘所組成，可依使用者需求之除頻比例加以調整。



六、申請專利範圍

- 4.如申請專利範圍第1項所述之高頻多樣選擇性預除器，其中該外部模組控制器，可依該外部控制訊號(MC)之高低位準，控制該第一除頻器之除頻頻率。
- 5.如申請專利範圍第1項所述之高頻多樣選擇性預除器，其中該輸出選擇電路，由複數個及閘(AND)與一或閘(OR)共同組成，該輸出選擇電路連接至該第二除頻器並搭配該複數個選擇訊號做訊號輸出選擇。
- 6.如申請專利範圍第1項所述之高頻多樣選擇性預除器，其中該第二除頻器，可經由該複數個選擇訊號與複數個及閘(AND)作為選擇開關，用以控制整體電路之除頻頻率。
- 7.如申請專利範圍第6項所述之高頻多樣選擇性預除器，其中該第二除頻器之選擇開關，可搭配該輸出選擇電路並選擇輸出之訊號，控制整體之除頻頻率。
- 8.一種高頻多樣選擇性預除器(Multi-selection prescaler)，可適用於高頻之除頻電路，係包括有：
一第一除頻器，係由複數個D型正反器(D-flip-flop)及複數個及閘(AND)所組成，其接受一輸入訊號後，經由除頻處理，形成一除頻頻率之除頻器；



六、申請專利範圍

一 第二除頻器，係由複數個 D 型正反器及複數個及閘所組成，藉此連接至該第一除頻器，並經由複數個選擇訊號與複數個及閘 (AND) 作為選擇開關進而調整除頻比例，將該第一除頻器之除頻結果再進一步除頻；

一 模組控制器 (module control)，用以將該複數個選擇訊號與一外部控制訊號 (MC) 經由至少一或閘 (OR) 執行邏輯運算後連接至該第一級除頻器，以控制該第一除頻器之除頻頻率；

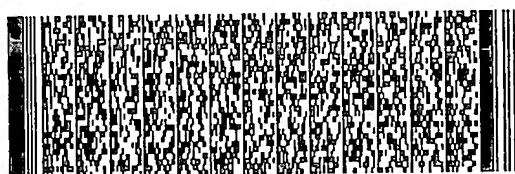
一 輸出選擇電路，連接至該第二除頻器，並搭配該複數個選擇訊號做為選擇訊號輸出之電路；及

藉此，經由該第一除頻器與第二除頻器之連結，配合該模組控制器之控制，形成一可擴充選擇除頻頻率之電路，以提供多樣化的除頻頻率。

9. 如申請專利範圍第 8 項所述之高頻多樣選擇性預除器，其中該外部模組控制器，可依該外部控制訊號 (MC) 之高低位準，控制該第一除頻器之除頻頻率。

10. 如申請專利範圍第 8 項所述之高頻多樣選擇性預除器，其中該輸出選擇電路，由複數個及閘 (AND) 與一或閘 (OR) 共同組成，該輸出選擇電路連接至該第二除頻器並搭配該複數個選擇訊號做訊號輸出選擇。

11. 如申請專利範圍第 8 項所述之高頻多樣選擇性預除器，



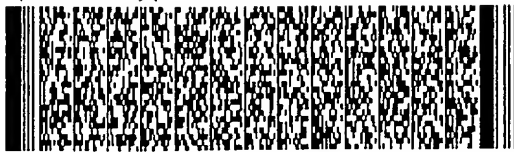
六、申請專利範圍

其中該第二除頻器，可經由該複數個選擇訊號與該複數個及閘(AND)作為選擇開關，用以控制整體電路之除頻頻率。

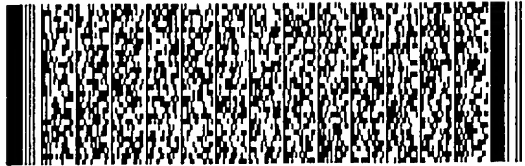
12.如申請專利範圍第11項所述之高頻多樣選擇性預除器，其中該第二除頻器之選擇開關，可搭配該輸出選擇電路並選擇輸出之訊號，控制整體之除頻頻率。



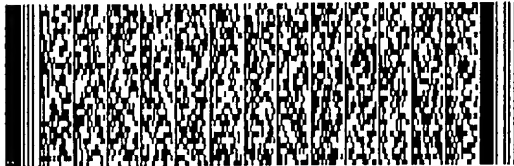
第 1/17 頁



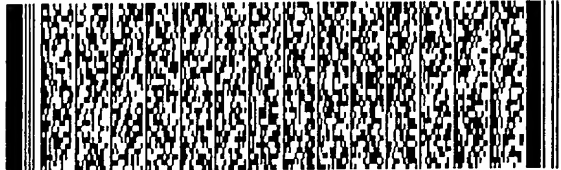
第 2/17 頁



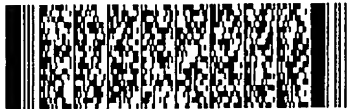
第 2/17 頁



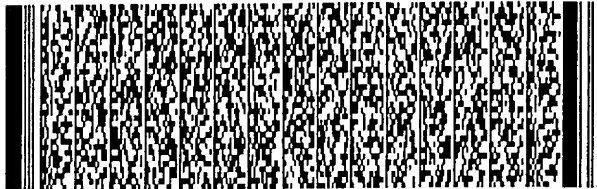
第 3/17 頁



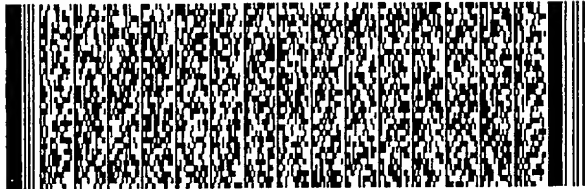
第 4/17 頁



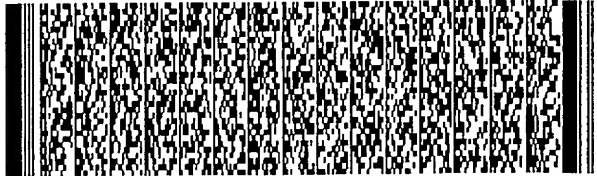
第 5/17 頁



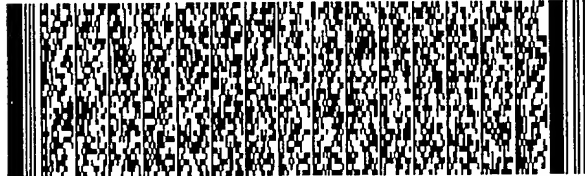
第 5/17 頁



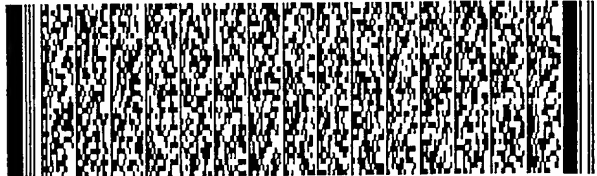
第 6/17 頁



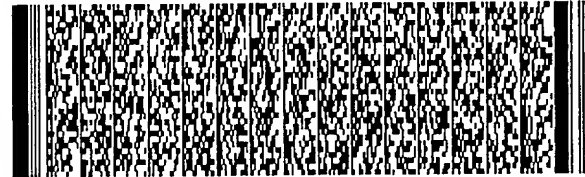
第 6/17 頁



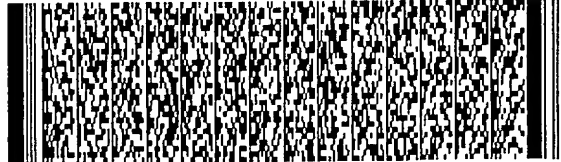
第 7/17 頁



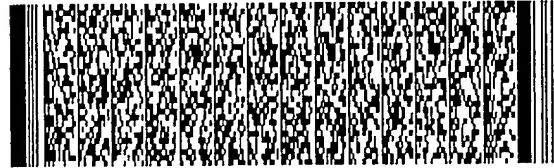
第 7/17 頁



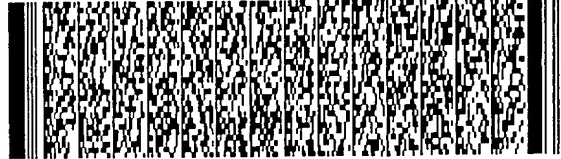
第 8/17 頁



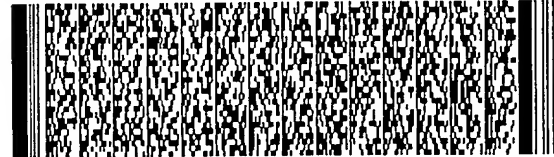
第 8/17 頁



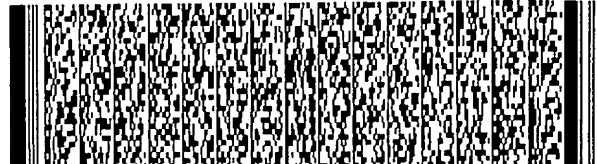
第 9/17 頁



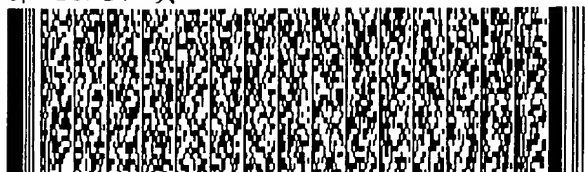
第 9/17 頁



第 10/17 頁



第 10/17 頁



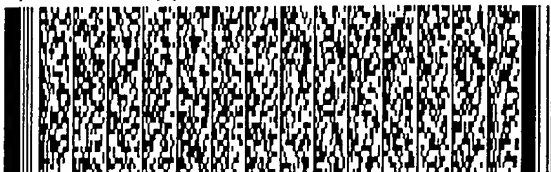
第 11/17 頁



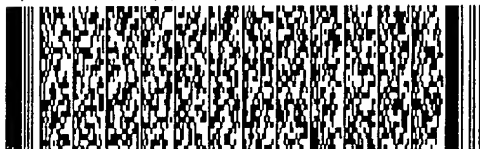
第 11/17 頁



第 12/17 頁



第 13/17 頁



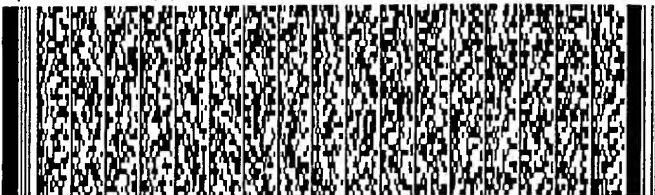
第 14/17 頁



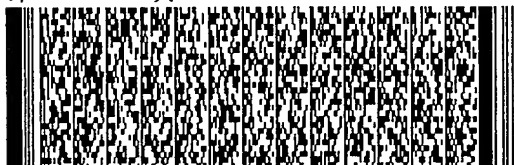
第 14/17 頁



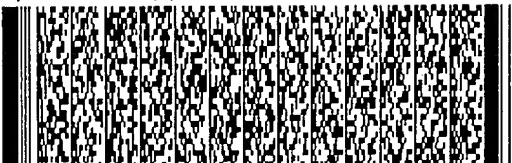
第 15/17 頁



第 16/17 頁



第 16/17 頁

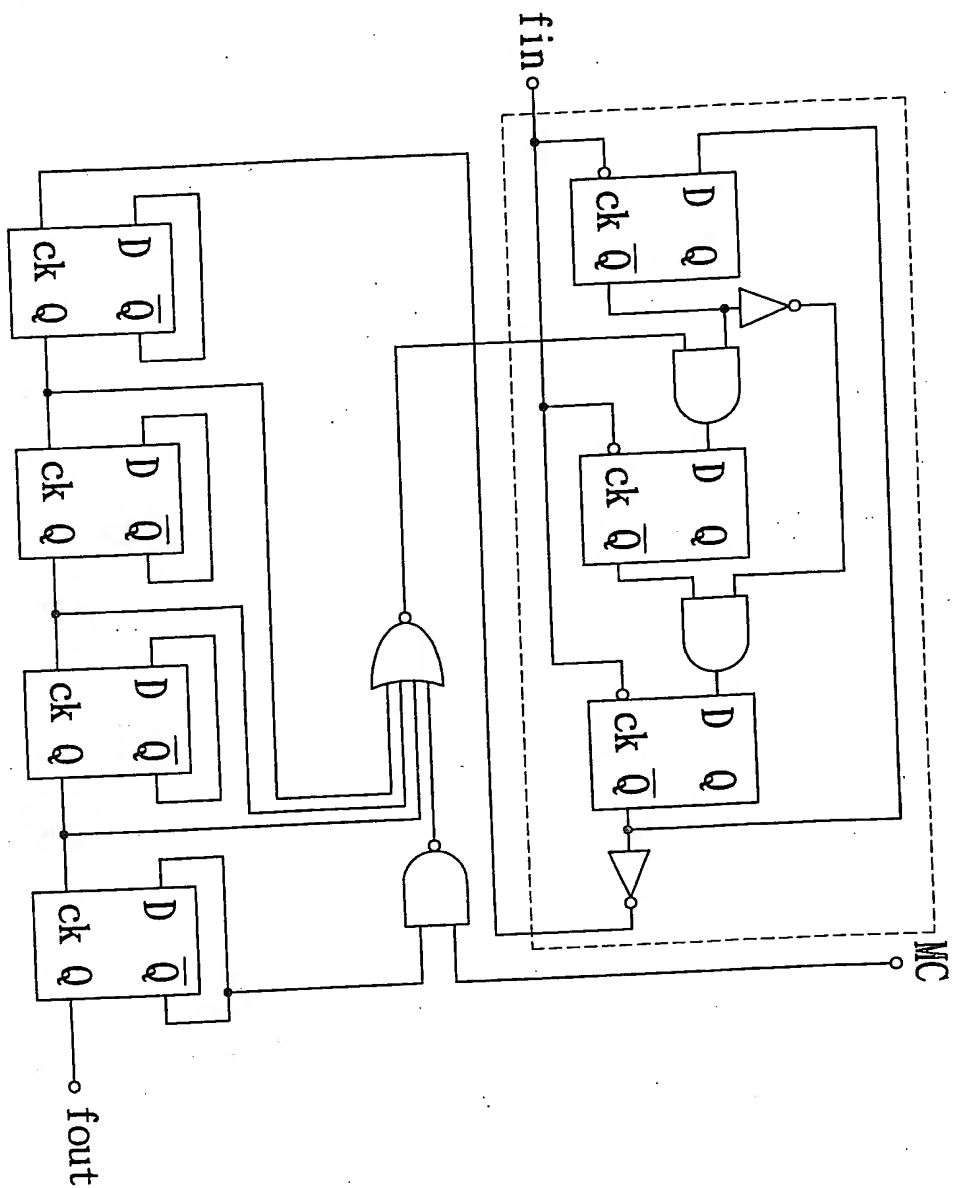


第 17/17 頁



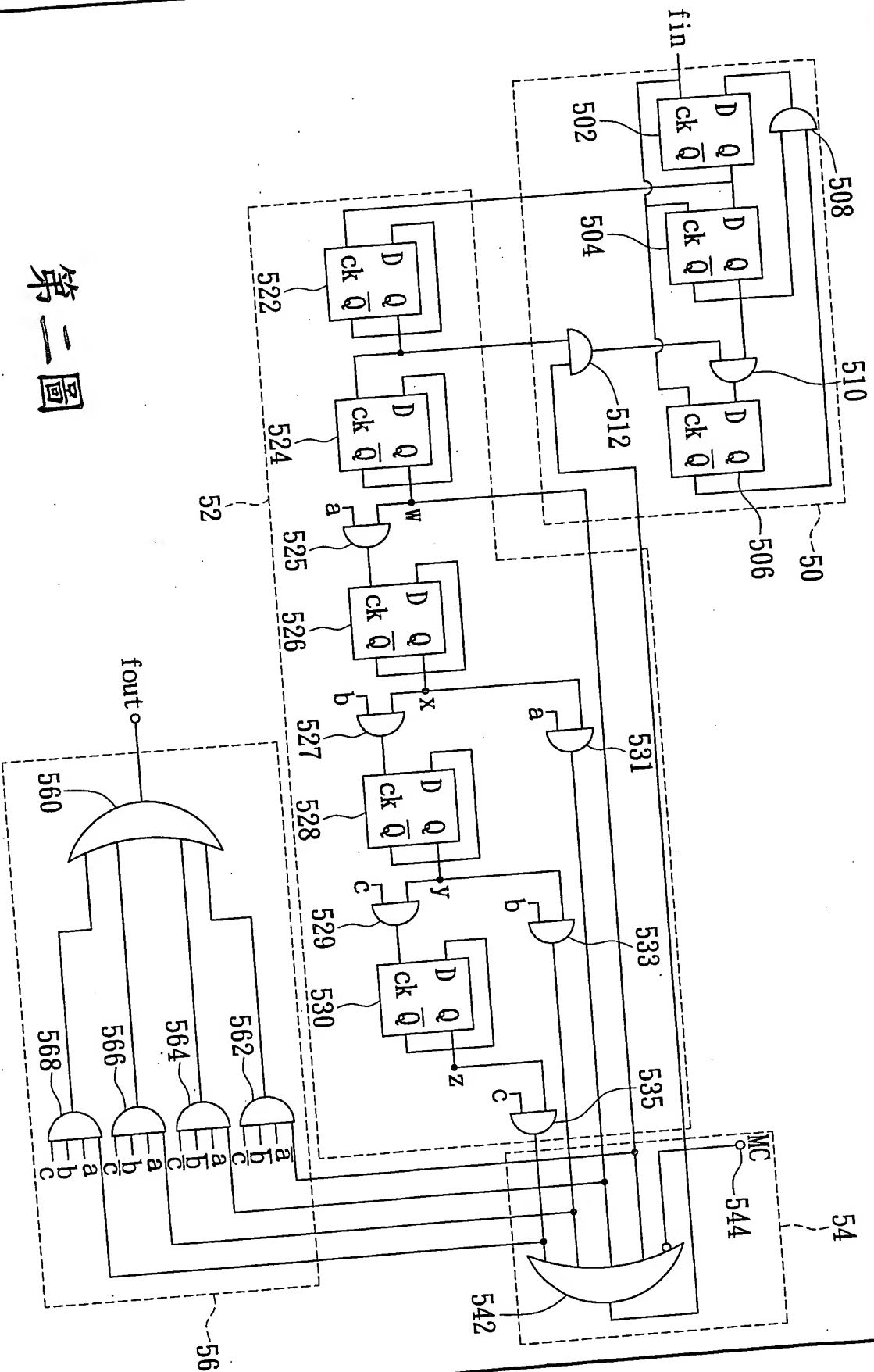
MC	fout
0	fin/64
1	fin/65

第一B圖
(習知技術)



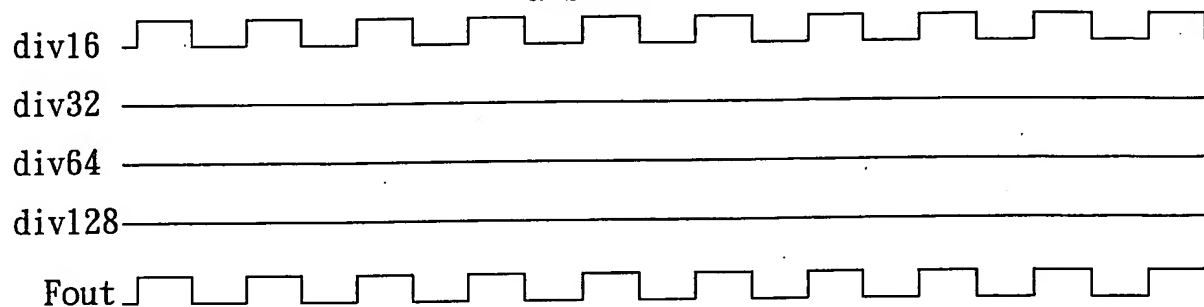
第一A圖
(習知技術)

第二圖



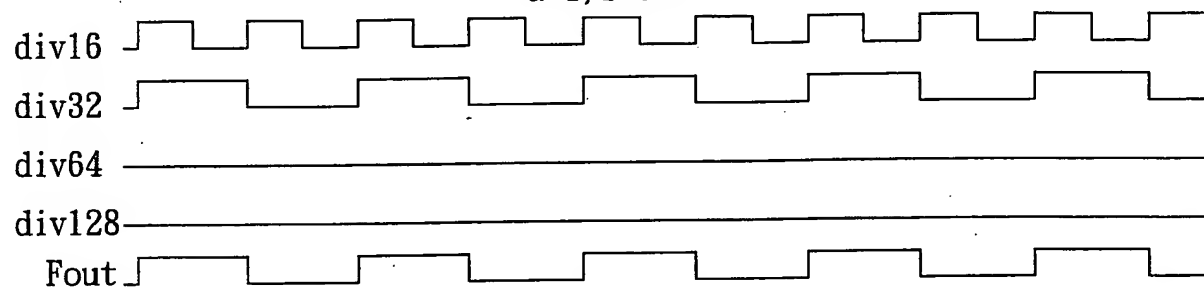
圖式

$a=b=c=0$



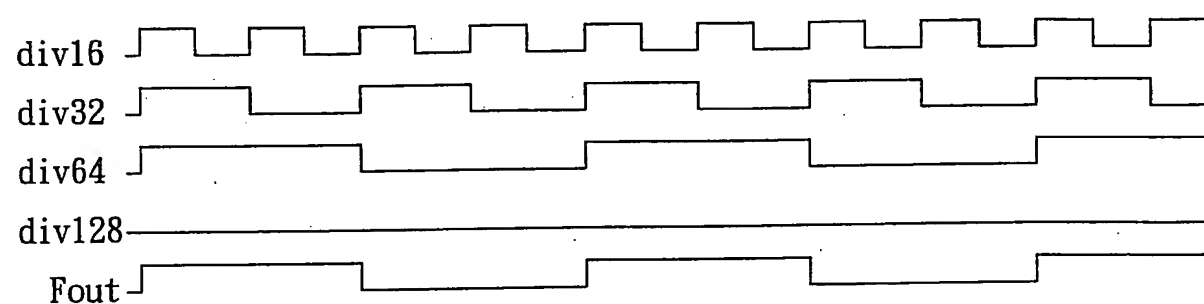
第三A圖

$a=1, b=c=0$



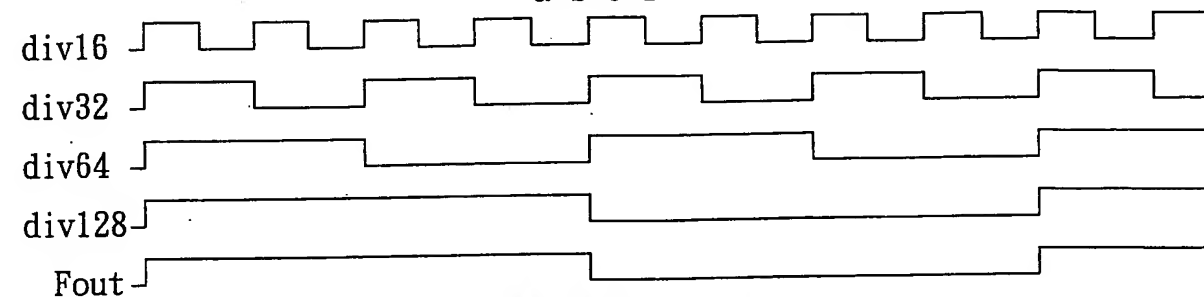
第三B圖

$a=b=1, c=0$



第三C圖

$a=b=c=1$



第三D圖

真值表

MC	a	b	c	output
0	0	0	0	div 16
1	0	0	0	div 17
0	1	0	0	div 32
1	1	0	0	div 33
0	1	1	0	div 64
1	1	1	0	div 65
0	1	1	1	div 128
1	1	1	1	div 129

第四圖